

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月15日

出 願 番 号

Application Number:

特願2003-006818

[ST.10/C]:

[JP2003-006818]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3007885

【書類名】 特許願

【整理番号】 542726JP01

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 松石 継巳

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089118

 【弁理士】

 【氏名又は名称】 酒井 宏明

【手数料の表示】

 【予納台帳番号】 036711

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 スキャンフリップフロップおよび組み合わせ回路を有するスキャン対象ブロックと、スキャン対象ブロックのスキャンフリップフロップからシリアル出力されるスキャン出力データをパラレル出力に変換するシリアル・パラレル変換回路とを備える半導体集積回路において、

前記シリアル・パラレル変換回路からパラレル出力されるスキャン出力データを記憶し、記憶したデータを外部に出力するスキャン出力格納メモリを備えることを特徴とする半導体集積回路。

【請求項 2】 外部からパラレル入力されるスキャン入力データを格納するスキャン入力格納メモリと、

このスキャン入力格納メモリからパラレル出力されるスキャン入力データをシリアルデータに変換して前記スキャン対象ブロックのスキャンフリップフロップに入力するパラレル・シリアル変換回路と、

を更に備えることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 スキャン出力データの期待値を格納する期待値格納メモリと

、
スキャン出力データと期待値格納メモリに格納された期待値とを比較する比較回路と、

前記比較回路の出力が不一致を示したときの期待値格納メモリのアドレスを一時記憶するレジスタと、

を更に備えることを特徴とする請求項 2 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、スキャンテストを用いて装置内部の各種不良をテストするスキャンパスを備える半導体集積回路に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路の規模が増大し、一つのチップにCPU、DSP、RAM等が混載されたシステムLSIが多く開発されている。そのようなシステムLSIを設計する場合、すべての構成要素を始めから設計することは多大な期間、人工が必要となるため、過去の設計資産を流用し、それらを組みあわせて一つのチップをつくる場合が多い。

【0003】

設計資産を流用したLSIを試験する場合、試験方法もその設計資産に依存する事になる。流用部分が1パスのスキャンテストを前提として設計されている場合、その設計資産を使ったLSIでその設計資産部分の試験を行う場合、1パスのスキャンテストを実行しなくてはならない。

【0004】

スキャンテストは被試験回路にシリアルスキャンパターンを入力して、被試験回路から出力されるシリアル出力信号を観測する試験方式で、回路規模が大きい場合そのシリアルスキャンパターンの長さは長大となり、試験時間も長くなる。長大なスキャンパターンが必要な過去の設計資産を流用して、新たにシステムLSIを構築しようとした場合に、試験時間の短縮を行うために、これまでには以下のような方法があった。

【0005】

1つ目は、過去の設計資産に組み込まれたスキャンテスト用回路の構成を変えて、スキャンパス数を増やすことである。たとえば、スキャンパス数を1本から2本に増やせば、スキャンパターンも約半分になり、試験時間の短縮につながる。この場合は、テスト用回路の再設計であるため、設計のための人工、再設計後の設計検証を行うためにさらに人工が必要となる。しかし、実際には開発人工には限りがあり、新たな人工を確保する事は不可能な場合が多い。

【0006】

2つ目としては、スキャンパターンを高速に入力して試験時間の短縮を図ることが考えられるが、以下の理由で限界がある。

(1) LSI テスタの性能

(2)測定されるLSIの出力駆動能力の限界

(3)測定されるLSIの動作限界

【0007】

上記の中で、(3)測定されるLSIの動作限界については、近年のシステムLSIの場合、動作クロック周波数は十分に高速であり、あまり問題にならない場合が多い。しかし、(2)測定されるLSIの出力駆動能力の限界については、近年のシステムLSIの場合でも、その出力駆動能力は、LSIテストの観測端子の負荷容量、負荷抵抗を駆動するには十分ではない場合が多い。これは、システムLSIが実際の最終用途の基板に実装された時には、LSIテストの観測端子のように大きな負荷はかからないため消費電力を考慮して、LSIの出力駆動能力は必要最小限の駆動能力に設計されるためである。

【0008】

LSIの出力駆動能力が不十分で、長大なスキャンパターンを必要とする過去の設計資産を使用したシステムLSIのスキャンテストには、上記の様に、試験時間短縮に限界があった。

【0009】

そこで、特許文献1においては、スキャンパスを構成するフリップフロップ回路と、試験モードにおいて試験装置から平行に供給される試験データをシリアルにスキャンパスに伝達する平直列変換レジスタと、試験モードにおいてスキャンパスからシリアルに出力される試験データを平行に変換して直並列変換レジスタを具備するようにしている。この特許文献1では、スキャン出力をシリアル・平行変換して出力することで、出力信号の出力周波数を高速化するようにしている。

【0010】

【特許文献1】

特開平2-82174号公報

【0011】

【発明が解決しようとする課題】

しかし、上記特許文献1においては、シリアル・平行変換したスキャン出

力データを直接外部出力しているので、スキャン出力データを外部出力する時間が常にスキャンテストを実行する時間に一致していることとなり、スキャンテストを実行しているときは、スキャン対象回路に対しスキャンテスト以外の他のテストを行うことができないなどの問題がある。

【 0 0 1 2 】

また、従来技術においては、スキャン入出力データを外部端子に直接入出力しているので、L S I を実際に駆動するクロック周波数でのテストが困難であり、遅延故障や、実際の駆動周波数で駆動して初めて発見し得る故障などを発見し得ないという問題もある。

【 0 0 1 3 】

この発明は上記に鑑みてなされたもので、スキャンテストなどのテストを効率良くなし得るとともに、実駆動周波数でのテストを可能とする半導体集積回路を得ることを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる半導体集積回路は、スキャンフリップフロップおよび組み合わせ回路を有するスキャン対象ブロックと、スキャン対象ブロックのスキャンフリップフロップからシリアル出力されるスキャン出力データをパラレル出力に変換するシリアル・パラレル変換回路とを備える半導体集積回路において、前記シリアル・パラレル変換回路からパラレル出力されるスキャン出力データを記憶し、記憶したデータを外部に出力するスキャン出力格納メモリを備えることを特徴とする。

【 0 0 1 5 】

この発明によれば、半導体集積回路内にスキャン出力信号を格納するスキャン出力格納メモリを設け、スキャン出力信号を S / P 変換したデータをスキャン出力格納メモリで一旦蓄えて、後で読み出し可能としている。

【 0 0 1 6 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体集積回路の好適な実施の

形態を詳細に説明する。

【 0 0 1 7 】

実施の形態 1.

図 1 はこの発明にかかる半導体集積回路の実施の形態 1 の構成を示す概念図である。

【 0 0 1 8 】

図 1 において、この半導体集積回路 (L S I) 1 は、スキャンテストを実行する組み合わせ回路、スキャンフリップフロップなどを含むスキャン対象ブロック 2 と、スキャン出力データをシリアル・パラレル変換するシリアル・パラレル変換回路 (S / P 変換回路) 3 と、スキャン出力データを記憶するスキャン出力格納メモリ 4 とを備えている。

【 0 0 1 9 】

スキャン対象ブロック 2 は、通常のフリップフロップ、セクタ付きのスキャンフリップフロップ、通常のフリップフロップあるいはスキャンフリップフロップ間に形成される組み合わせ回路などを有している。各スキャンフリップフロップは縦列接続されることでシフトレジスタ構成をとっており、スキャンモードの際には、このシフトレジスタ構成をとるスキャンフリップフロップに対して外部よりシリアルに入力されるスキャン入力データを入力設定する。そして、システム動作モードのときに組み合わせ回路から各スキャンフリップフロップにデータ取込みを行う。各スキャンフリップフロップに取込んだデータを観測することにより組み合わせ回路の故障がテストされる。

【 0 0 2 0 】

スキャン対象ブロック 2 内の各スキャンフリップフロップに取込まれたデータは、スキャン出力信号として S / P 変換回路 3 に入力される。

【 0 0 2 1 】

S / P 変換回路 3 は、シリアルに入力されるスキャン出力信号を例えば 4 ビットのパラレルデータに変換してスキャン出力格納メモリ 4 に出力する。

【 0 0 2 2 】

スキャン出力格納メモリ 4 は、この L S I 1 に内蔵されており、書込み／読出

しの可能なRAMと、該RAMに対するデータの書込みおよび読出し制御を実行する書込み／読出し制御回路とを有しており、書込み／読出し制御回路による書込みおよび読出し制御によってS／P変換回路3からパラレルに入力されるスキャン出力信号をRAMに格納する。

【0023】

一旦、スキャン出力格納メモリ4のRAMに蓄えられたスキャン出力結果は、スキャン対象ブロック2に対するスキャン入力が完了した後に外部装置に読み出される。外部装置では、スキャン出力結果を期待値と比較することで、スキャン対象ブロック2に故障があるか否かを判定しさらにその故障箇所などを判定する製造検証を行う。

【0024】

このようにこの実施の形態1においては、LSI1内にスキャン出力信号を格納するスキャン出力格納メモリ4を設け、スキャン出力信号をS／P変換したデータをスキャン出力格納メモリ4で一旦蓄えて後で読み出すことができるようにしたので、スキャン出力格納メモリ4を使用しない他のテストを例えばスキャン対象ブロック2とは異なるLSI1内の他の回路ブロックに実行中に、並行してスキャン出力格納メモリ4からスキャン結果を出力することが可能となり、これにより、スキャンテストの実施時間がスキャン結果を出力する時間に束縛されなくなり、スキャンテストを含む各種テストを効率よく行うことができる。なお、上記の他のテストとは、LSIが使用される装置に実装されたときの動作（通常動作）とは異なる動作を実行させて、LSIの製造故障を検出するスキャンテストのようなテストではなく、LSIの全体もしくはLSIを構成する回路ブロック毎に通常動作と同様の動作をさせて、その動作が期待したものであるかを確認するテストのことである。

【0025】

実施の形態2.

つぎに、図2を用いてこの発明の実施の形態2について説明する。

【0026】

この実施の形態2のLSI1は、図2に示すように、先の実施の形態1で説明

したスキャン対象ブロック 2、S/P 変換回路 3 およびスキャン出力格納メモリ 4 の他に、スキャン入力データが外部よりデータバスを介してパラレルに入力されるスキャン入力格納メモリ 6 と、スキャン入力格納メモリ 6 からパラレルデータとして出力されるスキャン入力データをパラレル・シリアル変換するパラレル・シリアル変換回路（P/S 変換回路） 5 と、スキャン出力結果の期待値が格納される期待値格納メモリ 8 と、スキャン出力格納メモリ 4 から出力されるスキャン結果を期待値格納メモリ 8 に記憶された期待値と比較し、その比較結果を外部に出力する比較回路 7 とを備えている。

【 0 0 2 7 】

また、この図 2 に示す実施の形態 2 の L S I 1 では、外部入力されるクロック信号を逡倍してシステムクロックとして出力する P L L （フェーズド ロック ループ） 9 を明示した。勿論、この P L L 9 は、先の図 1 に示す実施の形態 1 の L S I 1 にも内蔵されている。

【 0 0 2 8 】

スキャン入力格納メモリ 6 は、L S I 1 に内蔵されており、書込み／読出しの可能な R A M と、該 R A M に対するデータの書込みおよび読出し制御を実行する書込み／読出し制御回路とを有しており、書込み／読出し制御回路による書込みおよび読出し制御によって、外部からパラレルに入力されるスキャン入力データを R A M に格納する。

【 0 0 2 9 】

一旦、スキャン出力格納メモリ 4 の R A M に蓄えられたスキャン出力結果は、スキャン対象ブロック 2 に対するスキャン入力が完了した後に読み出される。読み出されたスキャン出力結果は、比較回路 7 によって期待値格納メモリ 8 に記憶された期待値と比較され、その比較結果が外部に出力される。外部装置では、比較回路 7 の出力を判定することで、故障の有無、故障個所などを判定する。

【 0 0 3 0 】

この実施の形態 2 においては、スキャン入力データを格納するスキャン入力格納メモリ 6 と、スキャン結果を格納するスキャン出力格納メモリ 4 を設け、これらメモリで、スキャン入出力データを一旦蓄えることができるようにしたので、

スキャンテストの際にスキャン入出力データを外部入出力端子を介して外部と入出力することがなくなり、これによりスキャンテストをシステムクロックと同じ周波数の実駆動周波数を用いて実行することができる。したがって、遅延故障や実際の駆動周波数で駆動して初めて発見し得る故障などを発見することができ、またスキャンテストの実行時間の短縮を図ることもできる。また、先の実施の形態1と同様、スキャンテストの実施時間がスキャン結果出力のために要する時間に束縛されなくなり、スキャンテストを含む各種テストを効率よく行うことができるようになる。

【0031】

実施の形態3.

つぎに、図3を用いてこの発明の実施の形態3について説明する。この実施の形態3においては、先の実施の形態2の構成に、NGアドレス格納レジスタ10を追加している。

【0032】

NGアドレス格納レジスタ10は、比較回路7の出力と期待値格納メモリ8のアドレスとに接続されており、比較回路7の出力が不一致を示したときの期待値格納メモリのアドレス値を保持するものである。

【0033】

この実施の形態3の構成では、スキャン出力格納メモリ4に一旦蓄えられているスキャン出力結果は、スキャン対象ブロック2に対するスキャン入力が完了した後に読み出され、比較回路7で期待値との比較が行われることでスキャン対象ブロック2の製造検証が行われる。

【0034】

このとき、NGアドレス格納レジスタ10は、比較回路7の出力が不一致を示したときの期待値格納メモリ8のアドレス値を保持する。このNGアドレス格納レジスタ10に記憶されたアドレス値は、その後、比較回路7の出力とともに外部に出力される。

【0035】

このように実施の形態3によれば、NGアドレス格納レジスタ10に故障個所

を示すアドレスを記憶させるようにしたので、後でどのアドレスで不一致が生じたかを容易に確認することができ、これにより先の実際の形態2の効果に加え、不良解析が容易になるという効果を奏する。

【0036】

なお、NGアドレス格納レジスタ10には、比較回路7の出力が不一致を示したときの期待値格納メモリのアドレス値ではなく、比較回路7の出力が不一致を示したときのスキャン出力格納メモリ4のアドレスを記憶させるようにしてもよい。

【0037】

【発明の効果】

以上説明したように、この発明によれば、半導体集積回路内にスキャン出力データを格納するスキャン出力格納メモリを設け、スキャン出力データをS/P変換したデータをスキャン出力格納メモリで一旦蓄えて、後で読み出すようにしたので、スキャン出力格納メモリを使用しない他のテストをスキャン対象ブロックとは異なる他の回路ブロックに実行中に、並行してスキャン出力格納メモリからスキャン結果を出力することが可能となり、これにより、スキャンテストの実施時間がスキャン結果を出力する時間に束縛されなくなり、スキャンテストを含む各種テストを効率よく行うことができる。

【図面の簡単な説明】

【図1】 この発明にかかる半導体集積回路の実施の形態1の構成を示すブロック図である。

【図2】 この発明にかかる半導体集積回路の実施の形態2の構成を示すブロック図である。

【図3】 この発明にかかる半導体集積回路の実施の形態3の構成を示すブロック図である。

【符号の説明】

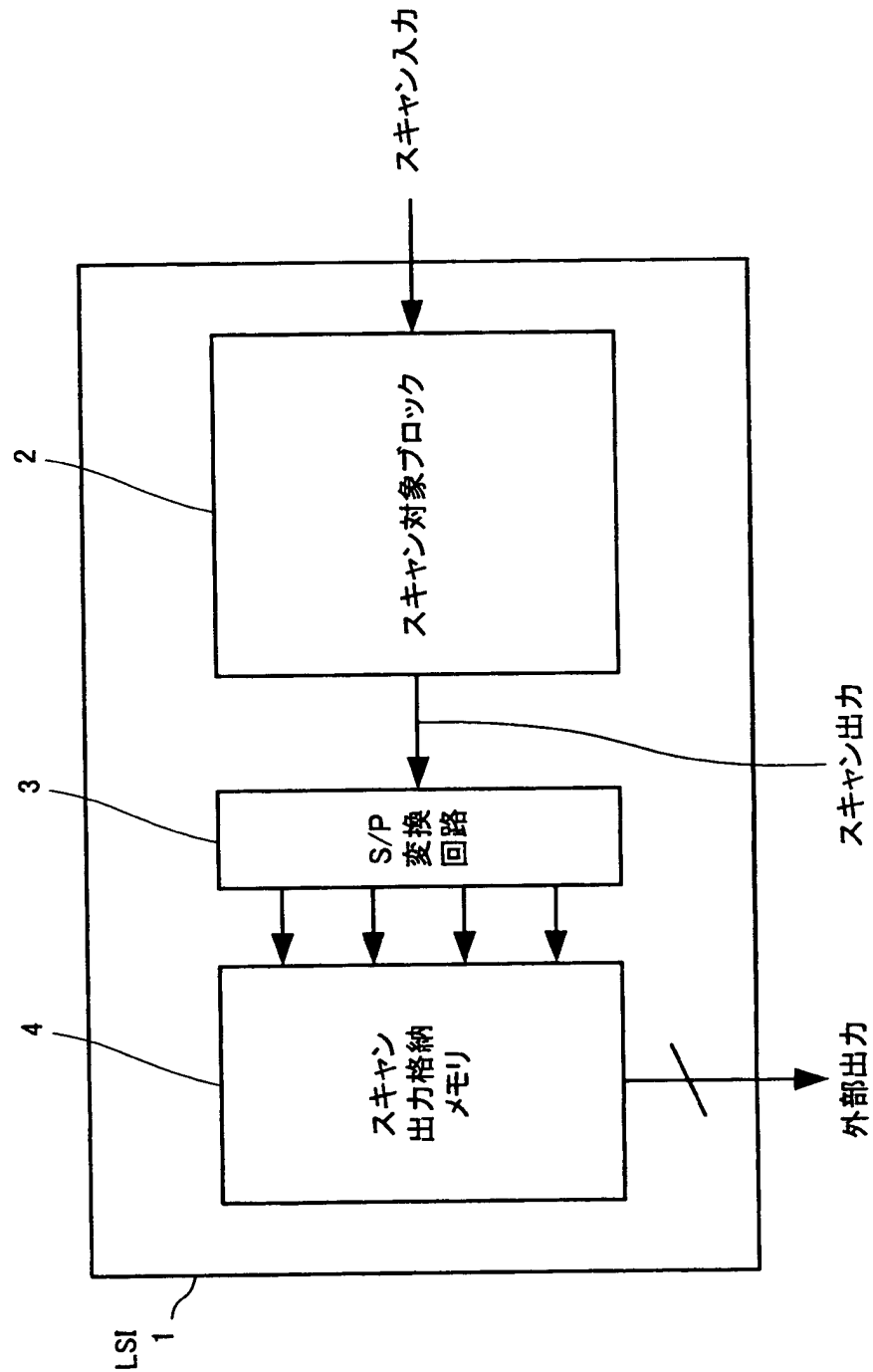
1 半導体集積回路(LSI)、2 スキャン対象ブロック、3 シリアル・パラレル変換回路(S/P変換回路)、4 スキャン出力格納メモリ、5 NGアドレス格納レジスタ、6 スキャン入力格納メモリ、7 比較回路、8 期待

値格納メモリ、1 0 N G アドレス格納レジスタ。

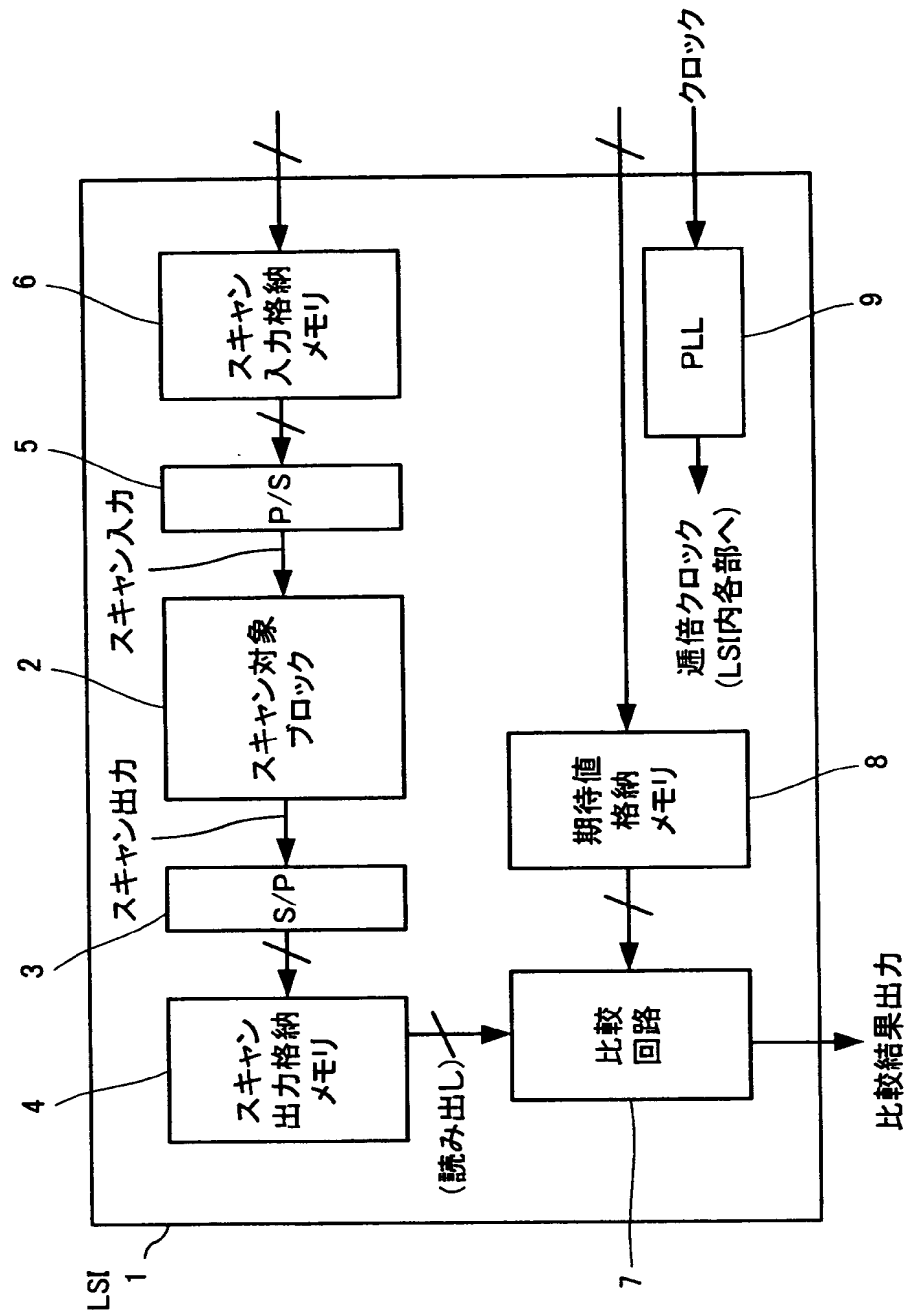
【書類名】

図面

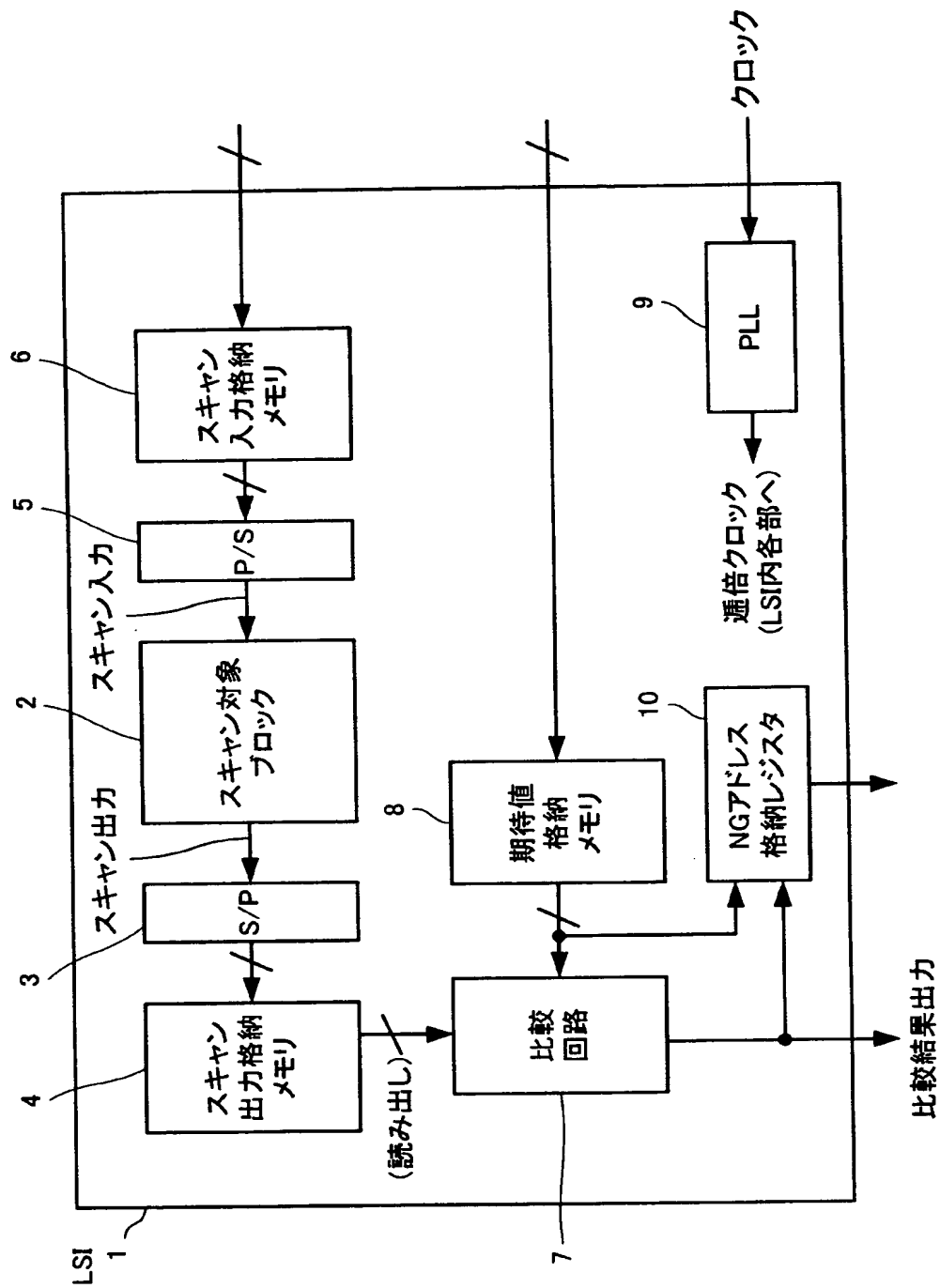
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 スキャンテストなどのテストを効率良くなし得るとともに、実駆動周波数でのテストを可能とすること。

【解決手段】 スキャンフリップフロップおよび組み合わせ回路を有するスキャン対象ブロック 2 と、スキャン対象ブロック 2 のスキャンフリップフロップからシリアル出力されるスキャン出力データをパラレル出力に変換するシリアル・パラレル変換回路 3 とを備える半導体集積回路において、シリアル・パラレル変換回路 3 からパラレル出力されるスキャン出力データを記憶し、記憶したデータを外部に出力するスキャン出力格納メモリ 4 を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社